

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-097224

(43)Date of publication of application : 14.04.1998

(51)Int.Cl.

G09G 3/36

G02F 1/133

G02F 1/136

(21)Application number : 08-251657

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 24.09.1996

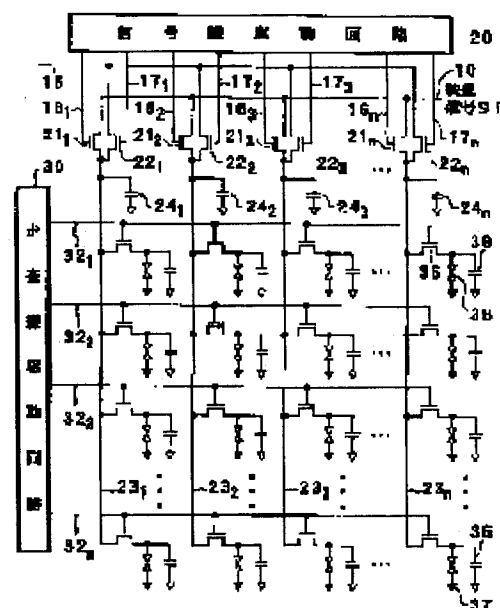
(72)Inventor : SATO HAJIME

## (54) LIQUID CRYSTAL DISPLAY DEVICE

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To improve halftone display quality by reducing a write-in voltage itself of an analog sample-and-hold circuit and reducing an absolute value of a write-in error.

**SOLUTION:** A switch element 23i ( $i=1-n$ ) is opened before the switch element 21i ( $i=1-n$ ) is opened, and a video signal 90 is written in, and precharge signal potential is written in a signal line 23i, and when the precharge is ended, the switch element 21i is opened, and the normal video signal 90 is written in. AC drive is performed by repeating this operation while changing the polarity of the video signal 90 and the precharge signal potential at every 1H. Signal line potential is precharged to the precharge signal potential beforehand by using a precharge signal line 15 and the switch element 22i ( $i=1-n$ ), and thereafter, real video signal potential is written in. Then, e.g. when the precharge signal potential is made an intermediate value of video signal amplitude, the value of the write-in voltage becomes from 10V to 2.5V, that is, to 1/4.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-97224

(43) 公開日 平成10年(1998) 4月14日

(51) Int.Cl.<sup>6</sup>

識別記号

F I

G 0 9 G 3/36

G 0 9 G 3/36

G 0 2 F 1/133

5 5 0

G 0 2 F 1/133

5 5 0

1/136

5 0 0

1/136

5 0 0

審査請求 未請求 請求項の数11 O L (全 9 頁)

(21) 出願番号

特願平8-251657

(22) 出願日

平成 8 年 (1996) 9 月 24 日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 佐 藤 肇

神奈川県横浜市磯子区新杉田町 8 番地 株

式会社東芝横浜事業所内

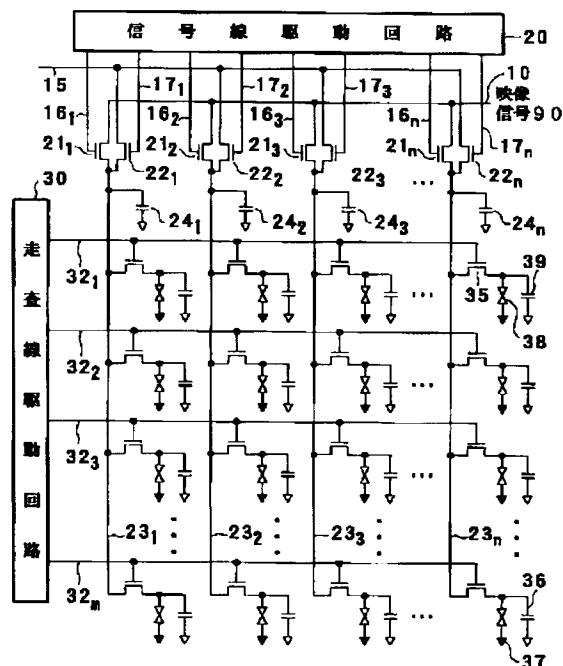
(74) 代理人 弁理士 佐藤 一雄 (外 3 名)

(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】 映像信号線の本数を増やすことなく、大容量かつ高品位の中間表示を可能にする。

【解決手段】 映像信号 9 0 を供給する映像信号線 1 0 と、所定のプリチャージ電位が供給されるプリチャージ信号線 1 5 と、複数の信号線の各々に対応して、所定のタイミングで第 1 及び第 2 の制御信号を出力する制御信号出力回路 2 0 と、複数の信号線の各々に対応して設けられ、第 1 の制御信号に基づいて映像信号を対応する信号線に付加された容量に供給するための複数の第 2 スイッチ素子 2 2<sub>1</sub>、… 2 2<sub>n</sub> と、複数の信号線の各々に対応して設けられ、第 2 の制御信号に基づいて前記プリチャージ電位を対応する信号線に付加された容量に供給するための複数の第 3 のスイッチ素子 2 2<sub>1</sub>、… 2 2<sub>n</sub> と、を備え、プリチャージ信号線の電位が映像信号線に供給される映像信号の電位の黒レベルと白レベルとの間の一定電位であることを特徴とする。



## 【特許請求の範囲】

【請求項1】マトリクス状に配線された複数の信号線、複数の走査線、及び前記信号線と前記走査線との交差部に第1のスイッチ素子を介して形成される画素電極を有する第1の電極基板と、

前記画素電極と対向して形成される対向電極を有する第2の電極基板と、

前記第1の電極基板及び前記第2の電極基板との間に挟持される液晶層と、

映像信号を供給する映像信号線と、

所定のプリチャージ電位が供給されるプリチャージ信号線と、

前記複数の信号線の各々に対応して、所定のタイミングで第1及び第2の制御信号を出力する制御信号出力回路と、

前記複数の信号線の各々に対応して設けられ、前記第1の制御信号に基づいて前記映像信号に対応する信号線に付加された容量に供給するための複数の第2スイッチ素子と、

前記複数の信号線の各々に対応して設けられ、前記第2の制御信号に基づいて前記プリチャージ電位に対応する信号線に付加された容量に供給するための複数の第3のスイッチ素子と、

を備え、前記プリチャージ信号線の電位が前記映像信号線に供給される映像信号の電位の黒レベルと白レベルとの間の一定電位であることを特徴とする液晶表示装置。

【請求項2】前記プリチャージ電位は前記映像信号線に供給される映像信号電位の極性と同期して極性反転されることを特徴とする請求項1記載の液晶表示装置。

【請求項3】前記プリチャージ電位は、液晶セルの透過率が白レベルの約半分となる電位であることを特徴とする請求項1または2記載の液晶表示装置。

【請求項4】前記プリチャージ信号線に電圧を供給する電圧供給手段を有し、この電圧供給手段は電圧調整機能を有していることを特徴とする請求項1乃至3のいずれかに記載の液晶表示装置。

【請求項5】前記映像信号線は複数本存在し、前記第2のスイッチ素子の各々は前記複数の映像信号線のうちのどれか1本に接続されていることを特徴とする請求項1記載の液晶表示装置。

【請求項6】前記プリチャージ信号線は複数本存在し、前記第3のスイッチ素子の各々は前記複数本のプリチャージ信号線のうちのどれか1本に接続されていることを特徴とする請求項1または5に記載の液晶表示装置。

【請求項7】1水平走査期間内における前記第2のスイッチ素子の開閉が前記第3のスイッチ素子の開閉の後に行われることを特徴とする請求項1乃至6のいずれかに記載の液晶表示装置。

【請求項8】前記第3のスイッチ素子の開閉期間が前記第2のスイッチ素子の開閉期間よりも長いことを特徴と

する請求項7記載の液晶表示装置。

【請求項9】前記信号線に印加される映像信号は1水平走査期間毎に極性反転されることを特徴とする請求項第1乃至第8のいずれかに記載の液晶表示装置。

【請求項10】前記第2及び第3のスイッチ素子は、ポリシリコンを活性層として用いた薄膜トランジスタであることを特徴とする請求項1乃至9のいずれかに記載の液晶表示装置。

【請求項11】前記第2及び第3のスイッチ素子は、CMOSスイッチであることを特徴とする請求項1乃至10のいずれかに記載の液晶表示装置。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、OA機器等に用いられる液晶表示装置に関し、特に高精細の直視大型液晶表示装置に関する。

【0002】

【従来の技術】従来、直視大型の液晶表示装置については、画素部のスイッチ素子のみアモルファスシリコンTFT(Thin Film Transistor)で作製し、駆動回路については外付けLSIを用いる方式が一般的であった。しかし、駆動回路を同一基板上に一体成形できると、表示部外側の幅を小さくできる、厚さを薄くできる、コスト低減が図れるといった利点が生じるため、駆動回路一体型の液晶表示装置が望まれている。

【0003】従来の駆動回路一体型液晶表示装置の等価回路図を図8に示す。この図8に示す液晶表示装置は特公平3-34273号公報に開示されているものであって、ポリシリコンTFTを用いた駆動回路一体型で、ビューファインダー等の小型パネルに使用される。

【0004】図8において、図示しない第1の電極基板上には信号線 $23_1, \dots, 23_n$ 及び走査線 $32_1, \dots, 32_m$ がマトリクス状に配線され、これらの信号線 $23_i$  ( $i=1, \dots, n$ )及び走査線 $32_j$  ( $j=1, \dots, m$ )の交差部に、スイッチ素子35を介して画素電極36が形成されている。また、図示しない第2の電極基板上には画素電極36に対向して対向電極37が形成され、上記第1及び第2の電極基板間に液晶が挟持されて液晶セル38が形成されている。

【0005】この液晶表示装置においては、アナログの映像信号90は外部より映像信号線10を介して供給され、アナログサンプルホールド方式で書き込まれる。映像信号10はスイッチ素子 $21_i$  ( $i=1, \dots, n$ )を介して信号線 $23_i$ に接続している。そしてスイッチ素子 $21_i$  ( $i=1, \dots, n$ )のゲート電極は信号線駆動回路20に接続されている。信号線駆動回路20からゲート信号 $16_i$  ( $i=1, \dots, n$ )を供給し、スイッチ素子 $21_1, \dots, 21_n$ を順々にONさせることにより、映像信号90を時系列的に信号線 $23_1, \dots, 23_n$ の配線容量

24<sub>1</sub>, …24<sub>n</sub>にホールドすることができる。走査線32<sub>1</sub>, …32<sub>n</sub>は走査線駆動回路30に接続されており、走査線駆動回路30から走査信号を供給することで、信号線23<sub>1</sub>, …23<sub>n</sub>にホールドされている時系列の映像信号90をスイッチ素子21<sub>1</sub>, …21<sub>n</sub>を介して各画素に供給することができる。信号線駆動回路20の1走査毎に走査線駆動回路30を1段ずつ走査することにより、すべての画素に映像信号90を供給することができる。各画素に供給された映像信号により液晶セル38にかかる電界がきまり、この電界の大小により液晶セル内の液晶分子の配列が変化する。このため液晶セルの上下に配置された偏光板と組み合わせることにより透過光強度を変調し画像表示を行うことができる。画素電位が保持期間中に変化しないように画素電極36には別途蓄積容量39を形成している。

【0006】

【発明が解決しようとする課題】図8に示す従来の液晶表示装置においては、信号線23<sub>i</sub> (i=1, …n)への書き込みは映像信号のデータレートで行う必要があるが、パーソナルコンピュータ等に用いられる直視型液晶表示装置では上記動作方式をとることができない。これは、直視型液晶表示装置ではパネルサイズが対角10インチ程度とビューファインダ等に用いられる小型パネル(対角1インチ前後)に比べて面積比で100倍となり、信号線23<sub>i</sub> (i=1, …n)、映像信号線10の時定数が面積比で大きくなるためデータレート内で十分な書き込み時間が得られないことによる。

【0007】この問題点を解決する方法として映像信号線10を分割することによりそれぞれの信号線のデータレートを下げる方式が特開昭57-20129号公報に提案されている。しかし、大型、大容量液晶表示装置を、映像信号線の数を増やすことで実現する際に、高品位の中間表示を行うとすると必要な映像信号線の本数が大幅に増加する。本発明者らの見積りによると、この方式に基づき例えば256階調表示の12.1インチXGA(Extended Video Graphic Array)パネルを実現しようすると、分割数はRGB各々81相、計243相となり、映像信号線は243本となる。このため、内蔵駆動回路の回路幅が増加し、各映像信号線に供給するために膨大な外部回路が必要となる、といった問題が生じる。

【0008】本発明は上記事情を考慮してなされたものであり、映像信号線の本数を可及的に増やすことなしに、大容量かつ、高品位の中間表示が可能な液晶表示装置を提供することを目的とする。

【0009】

【課題を解決するための手段】本発明による液晶表示装置は、マトリクス状に配線された複数の信号線、複数の走査線、及び前記信号線と前記走査線との交差部に第1のスイッチ素子を介して形成される画素電極を有する第

1の電極基板と、前記画素電極と対向して形成される対向電極を有する第2の電極基板と、前記第1の電極基板及び前記第2の電極基板との間に挟持される液晶層と、映像信号を供給する映像信号線と、所定のプリチャージ電位が供給されるプリチャージ信号線と、前記複数の信号線の各々に対応して、所定のタイミングで第1及び第2の制御信号を出力する制御信号出力回路と、前記複数の信号線の各々に対応して設けられ、前記第1の制御信号に基づいて前記映像信号に対応する信号線に付加された容量に供給するための複数の第2スイッチ素子と、前記複数の信号線の各々に対応して設けられ、前記第2の制御信号に基づいて前記プリチャージ電位に対応する信号線に付加された容量に供給するための複数の第3のスイッチ素子と、を備え、前記プリチャージ信号線の電位が前記映像信号線に供給される映像信号の電位の黒レベルと白レベルとの間の一定電位であることを特徴とする。

【0010】また、前記プリチャージ電位は前記映像信号線に供給される映像信号電位の極性と同期して極性反転されることが好ましい。

【0011】また、前記プリチャージ電位は、液晶セルの透過率が白レベルの約半分となる電位であることが好ましい。

【0012】また、前記プリチャージ信号線に電圧を供給する電圧供給手段を有し、この電圧供給手段は電圧調整機能を有していることが好ましい。

【0013】また前記映像信号線は複数本存在し、前記第2のスイッチ素子の各々は前記複数の映像信号線のうちのどれか1本に接続されていることが好ましい。

【0014】また、前記プリチャージ信号線は複数本存在し、前記第3のスイッチ素子の各々は前記複数本のプリチャージ信号線のうちのどれか1本に接続されていることが好ましい。

【0015】また、1水平走査期間内における前記第2のスイッチ素子の開閉が前記第3のスイッチ素子の開閉の後に行われることが好ましい。

【0016】また、前記第3のスイッチ素子の開閉期間が前記第2のスイッチ素子の開閉期間よりも長いことが好ましい。

【0017】また、前記信号線に印加される映像信号は1水平走査期間毎に極性反転されることが好ましい。

【0018】また、前記第2及び第3のスイッチ素子は、ポリシリコンを活性層として用いた薄膜トランジスタであることが好ましい。

【0019】また、前記第2及び第3のスイッチ素子は、CMOSスイッチであることが好ましい。

【0020】

【発明の実施の形態】本発明による液晶表示装置の第1の実施の形態の等価回路図を図1に示す。この実施の形態の液晶表示装置は、図8に示す従来の液晶表示装置に

10

20

30

40

50

において、プリチャージ信号線15と、スイッチ素子22<sub>1</sub>, …, 22<sub>n</sub>とを新たに設けたものである。

【0021】プリチャージ信号線15には、映像信号線10に供給される映像信号90の電位の黒レベルと白レベルの間の中間の電位V<sub>0</sub>が図示しないプリチャージ信号供給回路から供給されている。スイッチ素子22<sub>i</sub> (i=1, …, n)は、NMOS-TFTであって、信号線駆動回路20から送出されるゲート信号17<sub>i</sub>に基づいて、プリチャージ信号線15の電位V<sub>0</sub>を信号線23<sub>i</sub>に供給する。

【0022】この実施の形態の液晶表示装置においては、スイッチ素子21<sub>i</sub> (i=1, …, n)、22<sub>i</sub> (i=1, …, n)、35にはポリシリコン薄膜トランジスタ(以下、ポリSiTFTともいう)が用いられており、高速動作が可能である。また駆動回路20、30はポリSiTFTを用いて第1の電極基板上に一体形成してある。

【0023】次に上記実施の形態の液晶表示装置の動作を図2を参照して説明する。図2は1本の信号線23<sub>i</sub> (i=1, …, n)の電位変化を表すタイミングチャートで、1水平走査期間1H毎に映像信号90の極性を反転させるHライン反転駆動の場合の例を示している。図2において、V<sub>BP</sub>、V<sub>FP</sub>、V<sub>WP</sub>はそれぞれ正極性の場合の黒レベル電圧、プリチャージ信号電位、白レベル電圧を示し、V<sub>BN</sub>、V<sub>FN</sub>、V<sub>WN</sub>はそれぞれ負極性の場合の黒レベル電圧、プリチャージ信号電位、白レベル電圧を示す。

$$\Delta V = V / \exp(-T/\tau) \quad (1)$$

代表的な例として従来例による12.1インチのXGAパネルについての発明者らの設計結果を示す。時定数τについては、入力部からの配線を含めた映像信号線の配

$$\tau = (R1 + R2) \times C1 = 200 \text{ (ns)} \quad (2)$$

となる。書き込み電圧Vは5V振幅で液晶を交流する場合、10(V)maxとなるので、誤差ΔVを5V振幅の256階調以下に抑えるためには、書き込み時間Tは★

$$T \geq \tau \cdot \ln(V/\Delta V) \sim 1.25 \text{ (μs)} \quad (3)$$

書き込み時間Tはデータレートf(65MHz)の逆数☆ ☆に映像信号本数Nをかけた値となるので、

$$N = T \cdot f \sim 81 \quad (4)$$

となり、RGB各色81本、計243本の映像信号線が必要になる。

【0030】これに対して、本実施の形態による液晶表示装置ではプリチャージ信号線15およびスイッチ素子22<sub>i</sub> (i=1, …, n)を使って信号線電位をあらかじめプリチャージ信号電位V<sub>0</sub>にプリチャージし、その後実際の映像信号電位を書き込む。そのため、例えばプリチャージ信号電位を映像信号振幅の中間値とすると前記書き込み電圧Vの値が10Vから2.5Vと1/4になる。このとき書き込み時間Tは(3)式より0.90μsとなり、映像信号本数Nは(4)式より58本となる。

【0031】実際は映像信号電圧と液晶セルの透過率と

＊す。

【0024】なお、白レベル電圧は液晶の透過率が最高状態のときの印加電圧であり、黒レベル電圧は液晶の透過率が最低のときの印加電圧である。

【0025】Hライン反転駆動の場合、信号線23<sub>i</sub> (i=1, …, n)の実効電位が対向電位とほぼ同等になるためクロストーク等の表示劣化が生じ難いが、1H毎にデータ線に書き込まれる映像信号90の極性が反転されるため、図8に示すような従来の液晶表示装置では大きな書き込み電圧Vを書き込む必要があり、書き込み誤差が大きくなった。

【0026】これに対して、本実施の形態では、スイッチ素子21<sub>i</sub> (i=1, …, n)を開き映像信号90を書き込む前に、スイッチ素子23<sub>i</sub> (i=1, …, n)を開き、信号線23<sub>i</sub>にプリチャージ信号電位V<sub>0</sub>を書き込み、プリチャージが終わった段階で、スイッチ素子21<sub>i</sub>を開き、正規の映像信号90を書き込む。この動作を映像信号90およびプリチャージ信号電位V<sub>0</sub>の極性を1H毎に変えながら繰り返すことによって交流駆動を行う。

【0027】一般にアナログサンプルホールド回路の書き込み誤差ΔVは、サンプルホールド回路の時定数τ、書き込み時間T、および、書き込み電圧Vより次式で求められる。

【0028】

$$(1)$$

＊線抵抗R1が2kΩ、スイッチ素子のON抵抗R2が2kΩ、信号線の配線容量C1が50pFとなり、

★下式の条件を満たす必要がある。

【0029】

の関係が線形ではなく図3に示すようなV-T(電圧-透過率)特性となっているため、プリチャージ信号電圧を図3に示すV-T曲線の中心付近に持っていくことで、Nの値をさらに小さくすることができる。

【0032】図3に示すV-T曲線の平坦部では信号電圧に対する透過率の変化が小さいので、中心部の信号電圧に対する透過率変化の大きい範囲についてのみ考えると、電圧レンジがプリチャージ信号電圧±1Vの時、上記書き込み電圧Vは1Vとなり、この時書き込み時間Tは(3)式より0.79μs、映像信号本数Nは(4)式より51本となる。

【0033】以上説明したように本実施の形態の液晶表示装置によれば、アナログサンプルホールド回路の書き

込み電圧自体を小さくすることができ、書き込み誤差の絶対値を小さくすることができる。このため、書き込み時間を短くすることが可能となり、映像信号線の本数を減らすことができる。また、映像信号線の本数を変えない場合には、書き込み誤差の低減により中間調表示品位の向上を図ることができる。

【0034】なお、本実施の形態においては、Hライン反転駆動の場合を例にとって説明したが、Hライン反転駆動と、Vライン反転駆動を組合せたドット反転駆動の場合も同様の効果を奏することができる。

【0035】次に上記実施の形態の液晶表示装置の製造方法を図4を参照して説明する。

(a) まず透明絶縁基板50上に、プラズマCVD法により厚さ50nmのアモルファスシリコン薄膜51を堆積し、このアモルファスシリコン薄膜51の全面をXeClエキシマレーザ装置でアニールすることで多結晶化する。エキシマレーザ装置からのレーザ光52は駆動回路形成領域から画素部形成領域に向かう方向に(図4(a)に示すAの方向)に走査され、レーザ光が照射された領域(画素部形成領域を含む)は結晶化され多結晶シリコン膜53となる(図4(a)参照)。その際、レーザ照射エネルギーを段階的に上げて複数回照射を行うことにより、アモルファスシリコン膜51中の水素を効果的に抜くことができ、結晶化時のアブレーションを防ぐことができる。照射エネルギーは200~500mJ/cm<sup>2</sup>とした。

(b) 次に多結晶シリコン膜53をフォトリソグラフィ法を用いてパターニングし、薄膜トランジスタの活性層54を形成する(図4(b)参照)。

(c) シリコン酸化膜からなるゲート絶縁膜55をプラズマCVD法で形成した後、モリブデン-タングステン合金膜をスパッタ法で成膜し、パターニングすることでゲート電極56を形成する(図4(c)参照)。このパターニング時に、走査線も同時に形成する。なおゲート絶縁膜55としてはこのほかに窒化シリコン膜や常圧CVD法によるシリコン酸化膜を使うことができる。

【0036】ゲート電極56を形成後に、ゲート電極56をマスクにイオンドーピング法で不純物を打ち込み薄膜トランジスタのソース/ドレイン領域54aを形成する(図4(c)参照)。不純物としてはNチャネルトランジスタについてはリンを、Pチャネルトランジスタについてはボロンを用いた。画素部のトランジスタについてはオフリーク電流を抑えるためにLDD(Lightly Doped Drain)構造を用いるのが効果がある。この場合、ソース/ドレイン部54aへの不純物注入後にゲート電極を再パターニングし一定量だけ細くした後、再度低濃度の不純物打ち込みを行う。

(d) 次にゲート電極56上にプラズマCVD法または常圧CVD法でシリコン酸化膜による層間絶縁膜57を形成し、この層間絶縁膜57上にITO(Indium Tin

Oxide)膜58を形成し、パターニングすることで画素電極58を形成する(図4(d)参照)。

(e) 次に層間絶縁膜57およびゲート絶縁膜55にコンタクトホール59を形成後、スパッタ法でAl膜を形成し、パターニングすることでソース/ドレイン電極60が形成される。この時、信号線も同時に形成している。

【0037】必要に応じてパッシベーション膜を成膜し、パターニングすることで第1の電極基板が完成する。なお、アナログバッファ回路は第1の電極基板上の駆動回路形成領域に形成される。

【0038】第1の電極基板と、共通電極が形成された第2の電極基板を対向させ、周囲をエポキシ樹脂によるシール材で囲み、内部に液晶を注入、封止することで液晶表示装置となる。

【0039】なお、上記実施の形態の液晶表示装置においては、駆動回路はポリSiTFTを用いて第1の電極基板状に一体形成したが、駆動周波数が高く、一体形成が困難な場合には駆動回路の一部を別途単結晶シリコンを用いたLSIプロセスで形成することもできる。この場合、第1の電極基板上に実装しても良いし、TAB(Tape Automated Bonding)上に実装する方法を取ることもできる。

【0040】次に上記実施の形態の液晶表示装置に用いられる信号線駆動回路20の構成を図5および図6を参照して説明する。図5は上記信号線駆動回路20の部分等価回路図であり、図6は信号線駆動回路20のタイミングチャートである。

【0041】この信号線駆動回路20は、クロックドインバータからなるシフトレジスタ20aと、NAND回路20bと、インバータ20c、20d、20eとから構成される(図5参照)。そして図6に示すように、スイッチ素子23<sub>i</sub>(*i*=1, ..., *n*)の開閉を制御するゲート信号17<sub>i</sub>がスイッチ素子21<sub>i</sub>の開閉を制御するゲート信号16<sub>i</sub>に先行して印加される。またゲート信号17<sub>i</sub>のバース幅は16<sub>i</sub>の2倍に設定しているの

で、十分な精度でプリチャージを行うことができる。【0042】なお、上記の場合において、NOR回路を用いることによって、プリチャージ時間を更に長くすることができるとともにこのプリチャージ時間が長くなるのに反比例してスイッチ素子22<sub>i</sub>(*i*=1, ..., *n*)の大きさを小さくすることができる。

【0043】以上説明した第1の実施の形態の液晶表示装置においては、映像信号線10およびプリチャージ線15は各々1本であったが、複数本の映像信号線を用いる場合を第2の実施の形態として説明する。

【0044】本発明による液晶表示装置の第2の実施の形態を図7に示す。

【0045】この実施の形態の液晶表示装置は、図1に示す第1の実施の形態の液晶表示装置において、映像信

号線10、プリチャージ信号線15の代わりに、2本の映像信号線10<sub>1</sub>、10<sub>2</sub>と、2本のプリチャージ信号線15<sub>1</sub>、15<sub>2</sub>とを新たに設けたものである。

【0046】映像信号線10<sub>1</sub>、10<sub>2</sub>は映像信号源26<sub>1</sub>、26<sub>2</sub>に各々接続されている。またプリチャージ信号線15<sub>1</sub>、15<sub>2</sub>はプリチャージ信号供給回路40に接続されている。そして一端がi番目の信号線23<sub>i</sub>に接続されているスイッチ素子21<sub>i</sub>の他端は映像信号線10<sub>1</sub>に接続され、一端がi番目の信号線23<sub>i</sub>に接続されているスイッチ素子22<sub>i</sub>の他端はプリチャージ信号線15<sub>1</sub>に接続されている。このとき隣接する信号線23<sub>i+1</sub>に接続されているスイッチ素子21<sub>i+1</sub>の他端は映像信号線10<sub>2</sub>に接続され、スイッチ素子23<sub>i+1</sub>の他端はプリチャージ信号線15<sub>2</sub>に接続されている。

【0047】なお各スイッチ素子21<sub>i</sub>（i=1, … n）、22<sub>i</sub>（i=1, … n）のゲート信号は信号線駆動回路20から供給される。プリチャージ信号供給回路40は、プリチャージ信号電位の交流駆動を行うためのスイッチ42a、42bからなるスイッチ回路42、および正、負のプリチャージ信号源44、46よりなり、プリチャージ信号源44、46は温度変化等に対して設定電圧値を可変できるようにしてある。

【0048】このように本実施の形態の液晶表示装置においては、映像信号線を複数本用いることによりサンプルホールド回路の帯域を下げることができる。また、プリチャージ信号線を複数設けることで、例えばドット反転駆動の場合に必要な1クロック毎のプリチャージ信号線電位の交流反転周期を1H毎にすることができ、時定数の確保、消費電力の低減を図ることができる。

【0049】なお、本実施の形態の液晶表示装置も第1の実施の形態と同様の効果を奏することは言うまでもない。

【0050】なお第2の実施の形態の液晶表示装置においては、隣接する信号線23<sub>i</sub>、23<sub>i+1</sub>に各々対応するスイッチ素子21<sub>i</sub>、21<sub>i+1</sub>は異なる映像信号線に接続されているが、本発明はこれに限定されるものではない。各スイッチ素子21<sub>i</sub>（i=1, … n）は2本の映像信号線10<sub>1</sub>、10<sub>2</sub>のうちのいずれか1本の映像信号線に接続されていれば良い。

【0051】この関係は、各スイッチ素子22<sub>i</sub>（i=1, … n）とプリチャージ信号線15<sub>1</sub>、15<sub>2</sub>との間でも同様である。

【0052】

【発明の効果】以上述べたように、本発明によれば、映像信号線の本数を増やすことなく、大容量かつ高品位の中間表示が可能となる。

【図面の簡単な説明】

【図1】本発明による液晶表示装置の第1の実施の形態の等価回路図。

【図2】第1の実施の形態の信号線電位のタイミングチャート。

【図3】映像信号電圧に対する液晶セルの透過率の特性を示すグラフ。

【図4】第1の実施の形態の液晶表示装置の製造工程断面図。

【図5】第1の実施の形態の液晶表示装置にかかる信号駆動回路の一具体例の等価回路図。

【図6】図5に示す信号線駆動回路の動作を示すタイミングチャート。

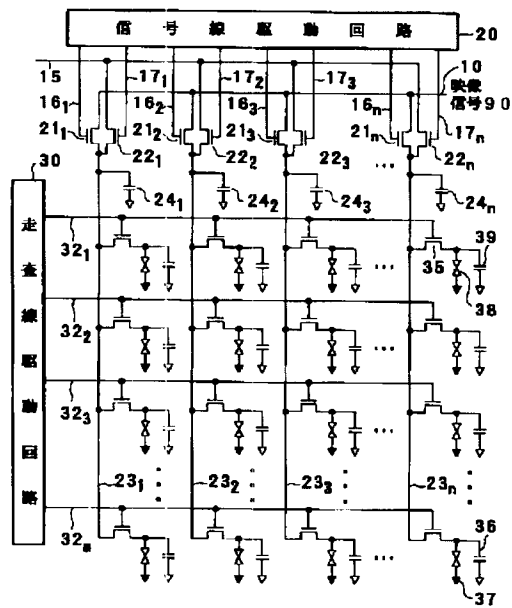
【図7】本発明による液晶表示装置の第2の実施の形態の構成図。

【図8】従来の液晶表示装置の等価回路図。

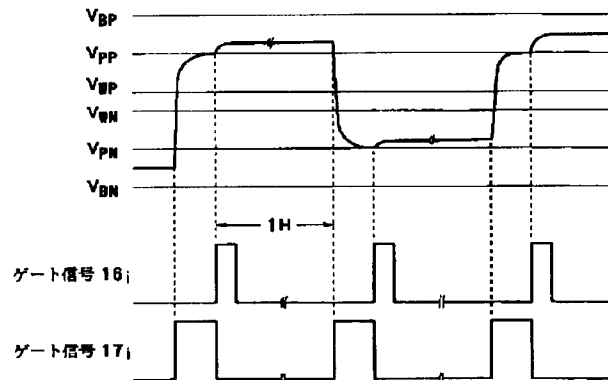
【符号の説明】

10 映像信号線  
10<sub>1</sub>、10<sub>2</sub> 映像信号線  
15 プリチャージ信号線  
15<sub>1</sub>、15<sub>2</sub> プリチャージ信号線  
16<sub>i</sub>（i=1, … n） ゲート信号  
17<sub>i</sub>（i=1, … n） ゲート信号  
20 信号線駆動回路  
21<sub>i</sub>（i=1, … n） スwitch素子  
22<sub>i</sub>（i=1, … n） スwitch素子  
23<sub>i</sub>（i=1, … n） 信号線  
24<sub>i</sub>（i=1, … n） 配線容量  
26<sub>1</sub>、26<sub>2</sub> 映像信号源  
30 走査線駆動回路  
32<sub>j</sub>（j=1, … m） 走査線  
36 画素電極  
37 対向電極  
38 液晶セル  
39 蓄積容量  
40 プリチャージ信号供給回路  
42 スwitch回路  
42a、42b スwitch  
44 正のプリチャージ信号源  
46 負のプリチャージ信号源  
90 映像信号

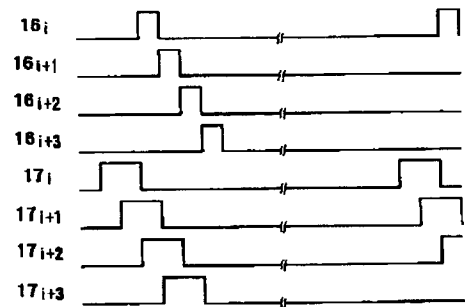
【図1】



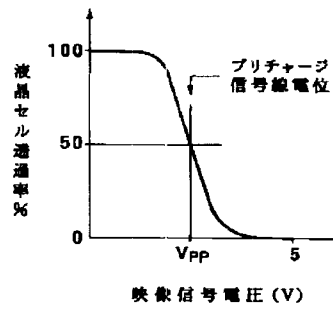
【図2】



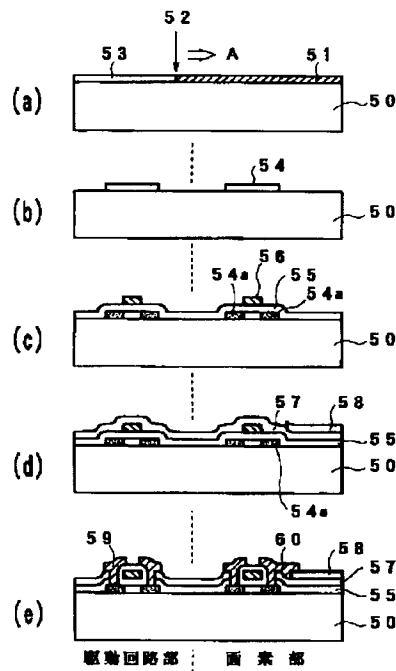
【図6】



【図3】

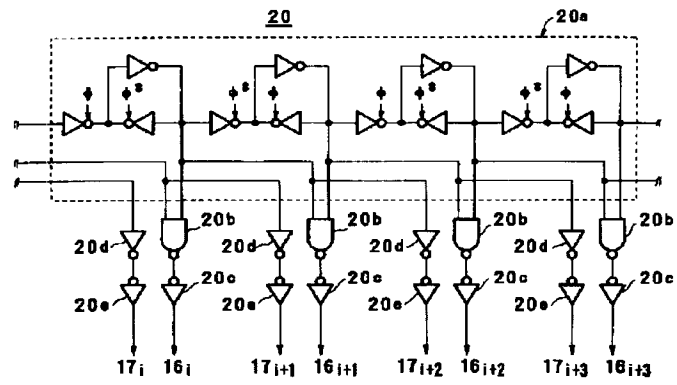


【図4】

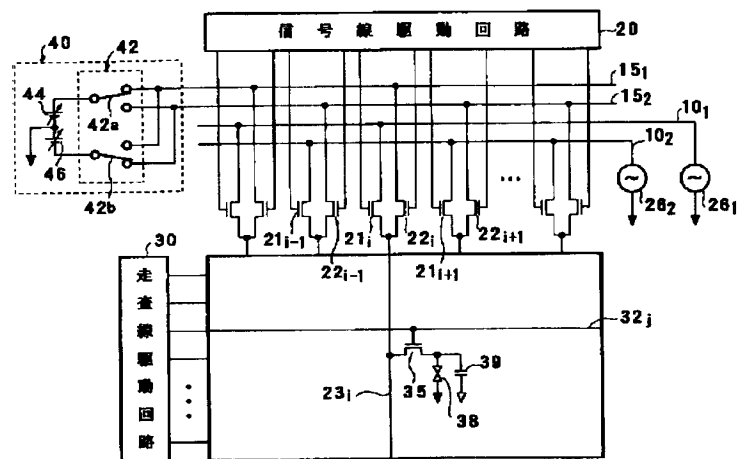




【図5】



【図7】



【図8】

